

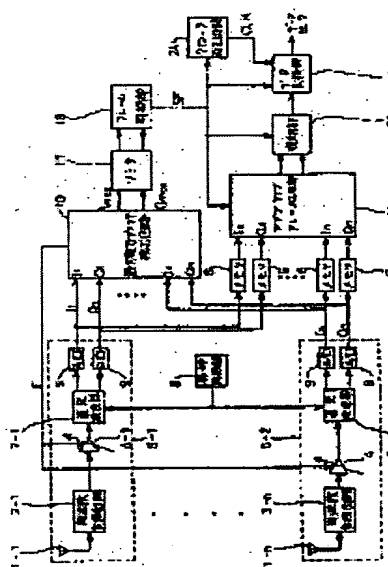
TIME DIVISIONAL MULTIPLEX RECEIVER WITH ADAPTIVE ARRAY

Patent number: JP3070221
Publication date: 1991-03-26
Inventor: OKANE TAKEO; SASAOKA SHUICHI; SANPEI
MASAICHI; KAMIO YUKIHIDE; SHIMURA TAKANORI;
TSUKAMOTO NOBUO; USUI KUNITO
Applicant: HITACHI LTD.; YUSEISHO TSUSHIN SOGO KENK
Classification:
- **International:** H04B7/26; H04J3/00
- **European:**
Application number: JP19890204614 19890809
Priority number(s): JP19890204614 19890809

Report a data error here

Abstract of JP3070221

PURPOSE: To attain complicated signal processing by applying digital signal processing to the control section of an adaptive array. **CONSTITUTION:** Only desired one-frame of complex base band signals (I_1, Q_1) $\leq (I_n, Q_n)$ sent to a control section 11 of an adaptive array is stored in a memory 6. Moreover, the processing of signal processing sections 11, 22, 23 is started by a frame synchronizing signal SF, and the adaptive array processing section 11 reads a data to apply the processing, then each processing is implemented by pipeline such as a demodulation section 22, a data synchronization word detection data output 23. Each section is constituted of using a digital signal processing processor. Thus, the complicated signal processing is facilitated.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-70221

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月26日

H 04 B 7/26
H 04 J 3/00

B 7608-5K
Z 7925-5K

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 アダプティブアレー付時分割多重受信装置

⑯ 特 願 平1-204614

⑰ 出 願 平1(1989)8月9日

⑱ 発 明 者 大 鐘 武 雄 東京都小金井市貫井北町4丁目2番1号 郵政省通信総合研究所内

⑲ 発 明 者 笹 岡 秀 一 東京都小金井市貫井北町4丁目2番1号 郵政省通信総合研究所内

⑳ 発 明 者 三 瓶 政 一 東京都小金井市貫井北町4丁目2番1号 郵政省通信総合研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 出 願 人 郵政省通信総合研究所 東京都小金井市貫井北町4丁目2番1号

㉓ 代 理 人 弁理士 中村 純之助

最終頁に続く

9月 糸田 三

1. 発明の名称

アダプティブアレー付時分割多重受信装置

2. 特許請求の範囲

1. 受信アンテナ、周波数変換回路、AGC回路、直交検波器、A/D変換器が順に接続された複数のブランチと、

上記A/D変換器の出力の複素ベースバンド信号を記憶する複数のメモリと、

上記複数のメモリのデータを適応的に合成し、合成後の出力が常に最適となるよう制御するアダプティブアレー処理部と

上記アダプティブアレー処理部からのデータを復調し、復調後のパーストデータを連続した出力にするデータ変換部と、

上記複数のブランチの複素ベースバンド信号の中から最大レベルを有するブランチを選択し、選択されたブランチのレベルから上記複数のブランチのAGCゲインを決定し、共通にフィー

ドバックする最大電力ブランチ検出回路と、

上記最大電力ブランチ検出回路で選択されたブランチの信号の電力をリミタによって一定とし、上記リミタ出力信号と既知のフレーム同期波形との複素相関を算出し、しきい値判定によりフレーム同期信号を出力するフレーム同期部と

上記フレーム同期信号を遅倍し、PLLによって平滑化して外部データ出力用のクロックを再生するクロック再生回路を備えたことを特徴とするアダプティブアレー付時分割多重受信装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明はアダプティブアレー付時分割多重受信装置、特に陸上移動通信における時分割多重無線通信システムに利用される受信装置に関する。

[従来の技術]

陸上移動通信において、広帯域TDMA(時分割多重アクセス)方式に代表されるような、伝送

速度が数100kbps以上の通信を行う場合、周波数選択性フェージングによる通信品質の劣化が著しい。

周波数選択性フェージングは種々の遅延時間を持つ到来波が種々の方向から到来してくるために、受信波が複雑な符号間干渉を受けることから生じる。

このため、従来の受信装置では選択性フェージング対策として適応等化器を用いている。適応等化器は時間軸上に複数のタップを持ち、それぞれのタップ入力に重み付けを行い、合成することによって符号間干渉等の歪を除去する技術である。
[発明が解決しようとする課題]

適応等化器は符号間干渉を軽減するのに適した技術である。しかし、遅延波の遅延時間の増加、あるいは、伝送速度の増加によるシンボル長の減少が生じた場合、シンボル長に対する遅延波の遅延時間の割合が増加し、等化に必要な回路規模が増大する。例えば、比較的遅延時間の小さい大都市地域でも、最大遅延時間が数 μ s以上となる。

本発明の具体的目的は信号処理部にデジタル信号処理を適用する場合、現状のデジタル信号処理用プロセッサ(DSPと略称)の処理能力で高速(数十kbps以上)のデータに対して複雑な制御を連続的に、かつ、リアルタイムで処理すること。

不必要なデータが送られてくる時間を利用して遅延一括復調を行うとき、出力クロック再生回路を簡易に実現すること。

さらに、陸上移動通信ではフェージングによる電界強度の変動が激しいために、A/D変換時のダイナミックレンジを確保する観点からAGC(自動利得制御)を用いなければならない。しかも、アダプティブアレー装置の場合、各ブランチにおけるAGCゲインの制御は、アダプティブアレーのアルゴリズムと密接に関係し、特性を左右する大きなパラメータとなる。従って、アダプティブアレーの各ブランチのAGCゲインの制御方法を確立すること。更に、TDMAシステムのフレーム同期の安定性、捕捉性を向上することである。

るため、伝送速度が数百kbps以上になると装置としての実現化が困難となる。

一方、他の選択性フェージング対策としてアダプティブアレー技術がある。アダプティブアレーは、空間的に配置された複数のアンテナ入力に重み付けを行い合成することによって、指向性を制御し、遅延波の影響を抑圧する技術である。更に、遅延波の遅延時間が増加するにともない、直接波との相関が減少し、遅延波の抑圧特性が向上するという特性を持つ。従って、装置の規模は遅延波の遅延時間によらず、特に、伝送速度が大きい場合に効果を発揮する。

しかし、アダプティブアレー装置を実現する場合、従来ではIF、RF帯で処理を行っているため、複雑なアルゴリズムによる処理が困難であり、陸上移動通信システムとしては、まだ実用化されていない。

従って、本発明の主な目的は、アダプティブアレー装置を選択性フェージング対策として採用した時分割多重受信装置を実現することにある。

る。

[課題を解決するための手段]

本発明は上記目的を達成するため、選択性フェージング対策としてアダプティブアレー技術を採用し、遅延時間が大きい場合の信号品質の改善を図る。このため時分割多重受信装置を次の構成手段で構成する。

受信アンテナ、周波数変換回路、AGC回路、直交検波器、A/D変換器が順に接続された複数のブランチと、

上記A/D変換器の出力の複素ベースバンド信号を記憶する複数のメモリと、

上記複数のメモリのデータを適応的に合成し、合成後の出力が常に最適となるよう制御するアダプティブアレー処理部と

上記アダプティブアレー処理部からのデータを復調し、復調後のバーストデータを連続した出力にするデータ変換部と、

上記複数のブランチの複素ベースバンド信号の中から最大レベルを有するブランチを選択し、選

択されたブランチのレベルから上記複数のブランチのAGCゲインを決定し、共通にフィードバックする最大電力ブランチ検出回路と、

上記最大電力ブランチ検出回路で選択されたブランチの信号の電力をリミタによって一定とし、上記リミタ出力信号と既知のフレーム同期波形との複素相関を算出し、しきい値判定によりフレーム同期信号を出力するフレーム同期部と、

上記フレーム同期信号を遅延し、PLLによって平滑化して外部データ出力用のクロックを再生するクロック再生回路を備える。

【作用】

本発明によれば複数のブランチによって準同期検波された信号はベースバンド帯でDSPによってデジタル信号処理されるので、アダプティブアレーの制御部の複雑な信号処理が可能となる。

時分割多重受信システムの場合、不必要なデータが送られてくる時間を利用して蓄積一括復調方式を行えば既存のDSPでリアルタイム処理ができる。

i 中の最大入力電力を用いてフィードバック量 F を決定する。これにより、各ブランチ間のAGC後の信号は線形性を維持するとともに、A/D変換時のダイナミックレンジが保持される。

AGC後の信号は、局部発振機8を用いて直交検波器7- i で準同期検波される。さらに、A/D変換機9でデジタル値 $I_1, Q_1 \dots I_n, Q_n$ に変換された後、アダプティブアレー処理部1- i に送られる。

一方、最大電力ブランチ検出回路10は、A/D変換後の n 個のブランチの複素ベースバンド信号 $(I_1, Q_1) \dots (I_n, Q_n)$ の中で最大電力と成るブランチ (I_{max}, Q_{max}) を選択し、その信号に対してリミタ17をかけた後、フレーム同期部18によってフレーム同期ワードを検出し、フレーム同期信号SFを出力する。

このフレーム同期信号SFはアダプティブアレー処理部1-1、復調部2-2、データ変換部2-3の同期信号として使用されるとともに、クロック再生回路2-4においても、遅延されてデータ出力ク

アダプティブアレー装置の場合、各ブランチにおけるAGCゲインの制御はアダプティブアレーのアルゴリズムと密接に関係し、特性を左右する大きなパラメータとなるが、最大電力ブランチ検出回路によって、各ブランチのAGCゲインが共通に制御されるので、アダプティブアレーの入力信号の線形性が保たれる。

また、蓄積一括復調の場合に問題となる出力クロックの再生にはフレーム同期信号を利用しているため、専用の回路を必要としない。

【実施例】

第1図は本発明によるアダプティブアレー付時分割多重受信装置の1実施例の構成図を示す。ここでは n 本のアンテナで構成されたシステムを例にとって説明する。 n 本のアンテナ1- i ($i = 1, 2, 3, \dots n$ 以下同じ) はそれぞれ周波数変換回路3- i によってIF帯に変換された後、AGC回路4- i でゲイン調整が行われる。このとき、AGCゲインを決定するAGC出力のフィードバック量 F をすべて共通とし、全ブランチ5-

ロックCLKとなる。

アダプティブアレー制御部1-1に送られた複素ベースバンド信号 $(I_1, Q_1) \dots (I_n, Q_n)$ は所望の1フレーム分だけメモリ6に蓄えられる。

さらに、フレーム同期信号SFによって各信号処理部1-1、2-2、2-3の処理が開始し、アダプティブアレー処理部1-1がメモリ6からデータを読み出して処理を行い、その後、復調部2-2、データ同期ワード検出・データ出力2-3と、それぞれの処理をパイプラインで処理する。これらはデジタル信号処理用プロセッサを用いて構成することにより、複雑な信号処理を容易に行うことができる。

第2図に蓄積一括復調のタイムチャートを示す。1フレームが n スロットで構成されているTDM Aシステムの場合、希望のスロット#1が伝送される時間 T_0 では処理できない制御でも、蓄積一括復調によって1フレーム分のデータが伝送される時間 T_f を利用し、さらに、パイプライン処理を併用することによってアダプティブアレー制御

32や復調33、データ変換34の処理がリアルタイムで行うことができる。

第3図は本発明による時分割多重受信装置の他の実施例の構成図を示す。ここで、送信信号のスロット構成を第4図に示す。チャンネル伝送速度8k bpsの送信データは384ビット毎にブロック(70)化され、24chの多重化が行われる。伝送速度は256k bpsであり、各スロットは384ビットの情報IWにヘッダ等FS、PR、DS、GSを付加した512ビットのデータで構成される。このとき、1フレーム長は48msec、1スロット長は2msecとなる。なお、フレーム同期ワードFSにはPN符号を採用している。

変調方式はGMSK(ガウシアン・フィルタード・ミニマム・シフトキーイング[Gaussian filtered Minimum Shift Keying])を採用し、アダプティブアレーの制御アルゴリズムとして定包絡線変調方式に適したアルゴリズムであるCMA(コスタント・モジュラス・アルゴリズム[Constant

Modulus Algorithm])を適用した。

第3図に示されているとおり、本実施例は4素子のアンテナ1-i(i=1, 2, 3, 4)を配置し、4系統の周波数変換部を用意した。受信信号は第1IF変換回路3-1-i及び第2IF変換回路3-2-iによって周波数変換され、受信フィルタ12-iによって雑音が除去される。さらに、各受信信号はA/D変換時のダイナミックレンジの確保のために、AGC4-iが行われる。

このとき、各ブランチのAGCゲインを等しくするため、最大電力ブランチ検出回路10において各ブランチの最大ブランチの電界強度を算出し、各ブランチのAGCの共通フィードバック信号Fを出力する。

最大電力ブランチ検出回路10の詳細な構成を第5図に示す。各ブランチのI、Q両チャンネルの信号Ii、QiはROM13-iに入力され、包絡線値 $R = \sqrt{(I_i^2 + Q_i^2)}$ が出力される。各ブランチの包絡線値Rは比較器14で大小比較さ

れ、最大電力ブランチが検出される。

ブランチ選択回路19では最大電力ブランチを示す信号により最大電力ブランチを選択し、I、Q各チャンネルの信号Imax、Qmaxを出力する。さらに、比較器14から出力された最大電力ブランチの包絡線値Rmaxを積分器で平均化することによってAGCゲインのフィードバック量Fを決定している。

第3図におけるAGC回路4-iの出力であるIF信号は、局部発信機8で発生させた非再生搬送波を用いて、直交検波器7-iで準同期検波され、復素ベースバンド信号となる。この復素ベースバンド信号は、各ブランチともサンプリング周波数1MHz(1ビットあたり4サンプル)のA/D変換機9によってデジタル値Ii、Qiに変換される。

A/D変換機9によってデジタル化された復素ベースバンド信号(Ii、Qi)はCMA処理部20に送られるとともに、最大電力ブランチ検出回路10を経てフレーム同期部18で相関処理が行

われる。

フレーム同期部18の構成を第6図に示す。フレーム同期ワードにはPN符号を用いており、相関処理によってフレーム同期信号SFを発生させる。本実施例では、この相関処理はDSP28によるデジタル信号処理によって行われる。

最大電力ブランチ検出回路10から出力される最大電力ブランチのIチャンネルの信号Imaxは、最大電力ブランチの包絡線値Rmaxを用いて、ROM25により規格化(Imax/Rmax)が行われる。同様にQチャンネルの信号Qmaxも規格化され、DSP28には、復素ベースバンド信号(Imax、Qmax)にリミタをかけた信号が入力される。

DSP28では、ROM25及び26の出力である復素信号と、ROM27にストアされたフレーム同期ワードの復素波形データとの相関値を算出する。

DSP28で算出された相関値SRはROM29でしきい値判定される。このとき、DSP28

の入力信号の電力は一定となるため、フレーム同期信号検出のしきい値を一定にすることができる。

しきい値判定されたフレーム同期信号SFは各信号処理部のトリガとして用いられる。また、フレーム同期信号SFの周期が48msであることから、フレーム同期信号を遅倍器35で遅倍し、PLL（位相同期回路）36で平滑化を行って8kHzの外部出力用クロックCLKを再生する。

第3図においてCMA処理部20に送られた複素ベースバンド信号（ I_i 、 Q_i ）は、蓄積一括復調によって処理される。

CMA処理部20の一実施例の構成を第7図に示す。CMA処理部20に送られたデータ（ I_i 、 Q_i ）は所望の-slot分がDPRAM（デュアルポートラム「Dual Port RAM」）40-iに蓄えられる。そして、フレーム同期部18からのフレーム同期信号SFによって、各ブランチの信号が対応するDSP41-1に取り込まれ、CMAと呼ばれるアルゴリズムにより重み付けが行われる。

を介してDSP44に入力され、ベースバンド帯におけるディジタル信号処理によって実現されたコスタスループにより搬送波及びクロックの再生が行われる。

位相補償されたI、Qチャネルの信号、Qチャネルの信号及びGMSK同期検波クロックはそれぞれDPRAM45-1、45-2及び45-3を介してDSP46に出力される。DSP46ではGMSK同期検波が行われ、復調されたデータがDPRAM47を介してDSP48に出力される。DSP48はバースト的に送られてきたデータから情報ビットだけを抜き取り、フレーム同期部18で再生された外部出力クロックCLKで連続的に出力する。このとき、FIFO49をバッファとして使用し、外部出力データ用クロックCLKのジッタを吸収する。

これら複数のDSP44、46、48並びに、CMA処理部20のホストDSP41-1はDPRAMを介してデータ転送を行っており、パイプライン処理によって処理の高速化を図っている。

重み付けされた信号はスレーブのDSP41-2...41-4からDSP41-1にFIFO（ファーストインファーストアウト「First In First Out」）42を介して送られる。ホストDSP41-1は、各DSPからの信号を合成し、合成後の信号 Y_i 、 Y_o を出力する。さらに、ホストDSP41-1は誤差信号を算出し、FIFO42-i-1を介してスレーブDSP41-2...41-4に出力する。そして、各DSP41-1及び41-2...41-4は誤差信号により重み付けの値を更新する。

CMA処理部20では、4つのDSPで並列に処理を行うことにより、処理の高速化を図っている。

第3図でCMA処理部20から出力された合成後の信号 Y_i 及び Y_o は復調及びデータ変換部22、23に送られる。

復調22及びデータ変換部23の構成を第8図に示す。CMA処理部20からのデータ Y_i 及び Y_o はそれぞれDPRAM43-1及び43-2

【発明の効果】

アダプティブアレーの制御部にディジタル信号処理を適用することにより、複雑な信号処理を可能とする装置を製作することができる。

一方、蓄積一括復調の場合に問題となる出力クロックの再生にはフレーム同期信号を使用しているため、従来のクロック再生回路を別に用意する必要が解消される。

また、A/D変換時のダイナミックレンジを確保するためのAGCのゲインの制御は、各ブランチ共通方式により、アダプティブアレーの入力信号の関係がAGC以前と等しくなり、アダプティブアレーの制御に影響を与えない。以上の発明により、高速伝送が必須となるTDM方式の受信機において発生する周波数選択性フェージングの影響を軽減できるとともに、フェージングに強いフレーム同期が行える。

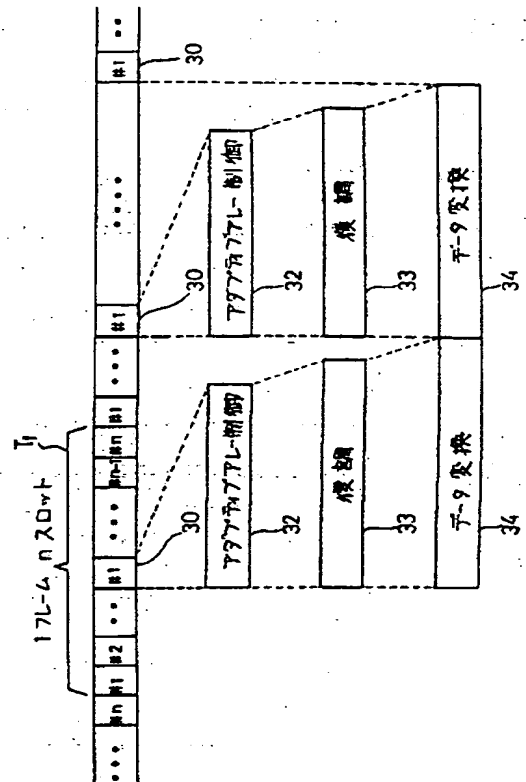
4. 図面の簡単な説明

第1図及び第3図は本発明による時分割多重受信装置の実施例の構成図、第2図は蓄積一括復調

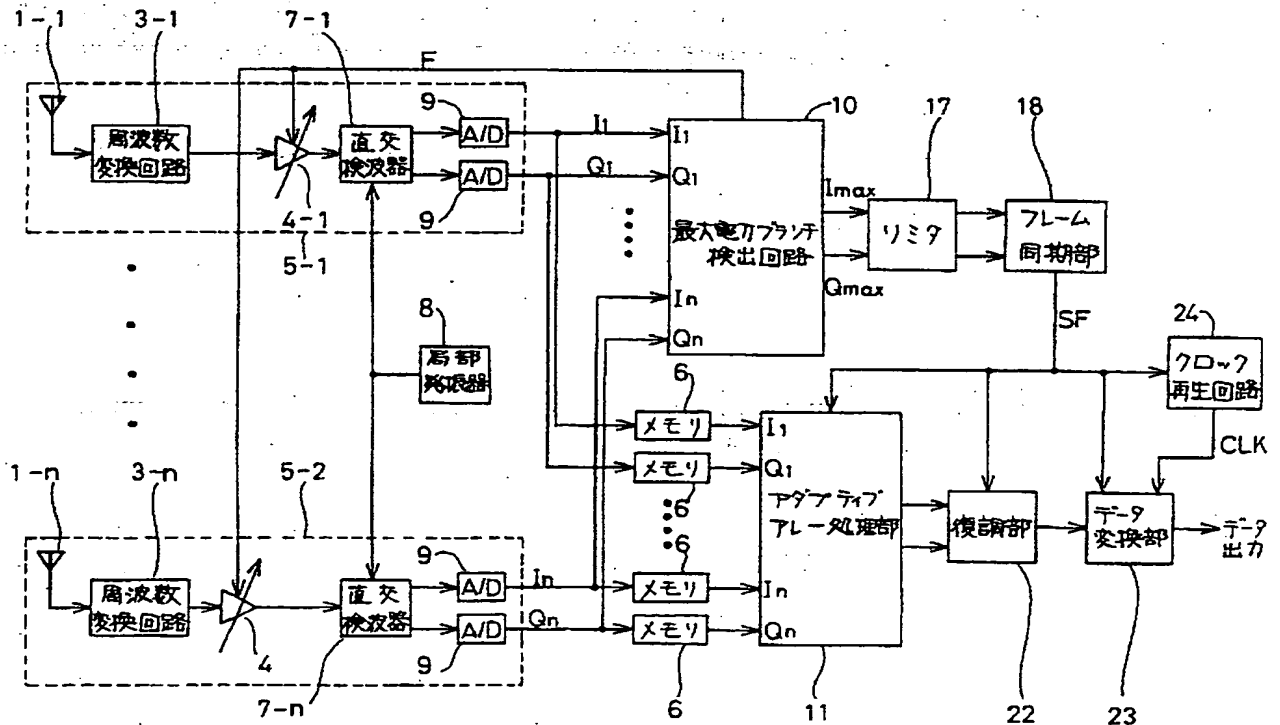
のタイムチャート、第4図はTDM Aシステムにおける信号のタイムスロット構成図、第5図は第3図における最大電力ブランチ検出回路56の構成図、第6図は第3図におけるフレーム同期部61の構成図、第7図は第3図におけるCMA処理部57の構成図、第8図は第3図における復調部及びデータ変換処理部64の構成図である。

1:受信アンテナ、3:周波数変換回路、4:A/GC回路、5:ブランチ、6、42、49:メモリ、7:準同期検波用直交変換器、8:局部発振器、9:A/D変換器、10:最大電力ブランチ検出回路、11:アダプティブアレー処理部、13、25、26、27、29:ROM、14:比較器、17:リミタ、18:フレーム同期部、19:最大電力ブランチ選択回路、20:CMA処理部、22:復調部、23:データ変換部、28、41、44、46:DSP、35:選倍器、36:PLL、40、43、45、47、48:DP RAM。

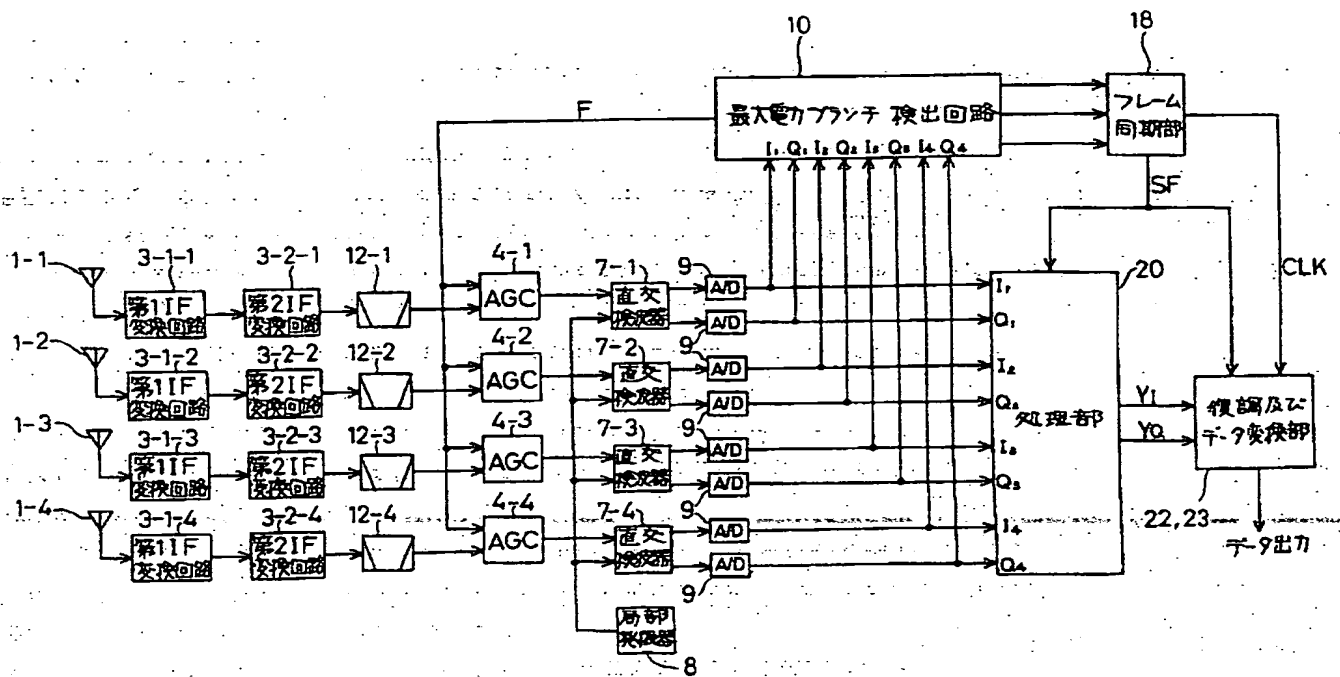
代理人弁護士 中村純之助



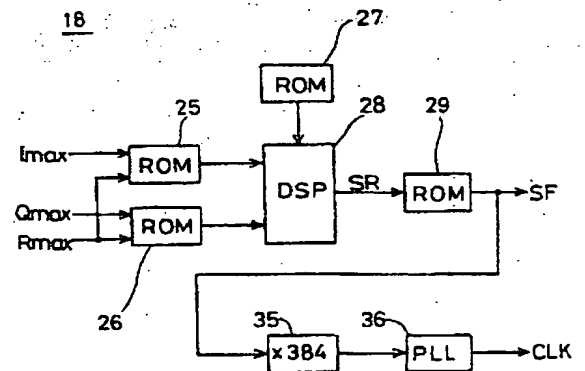
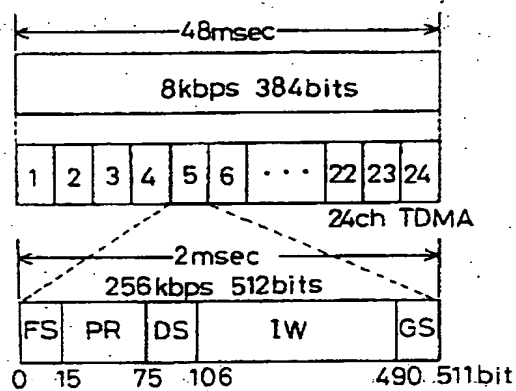
第2図



第1図

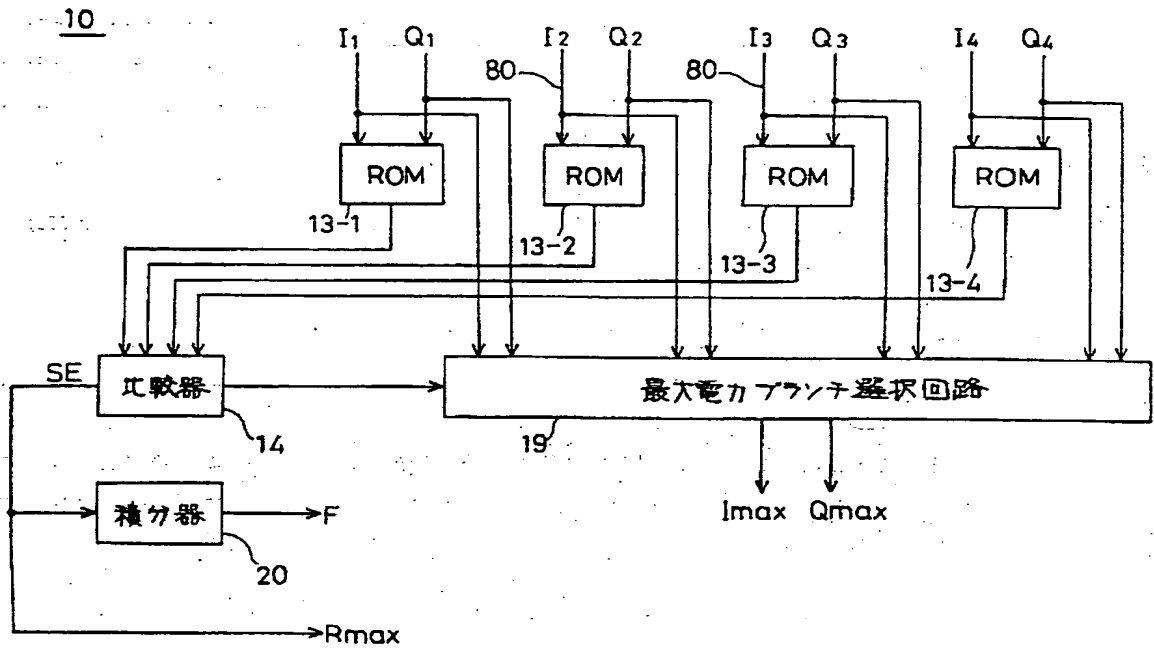


第 3 圖

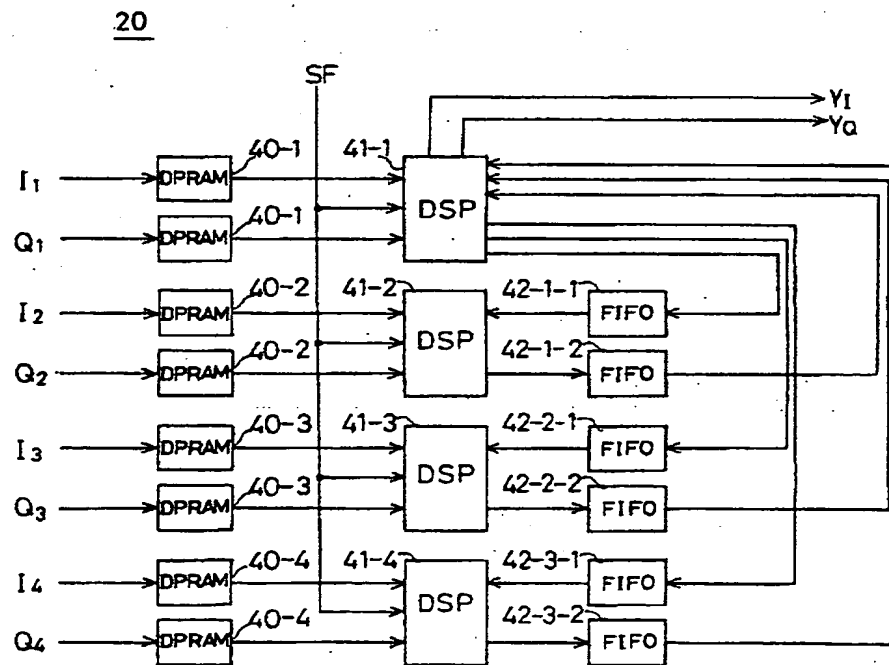


第 6 図

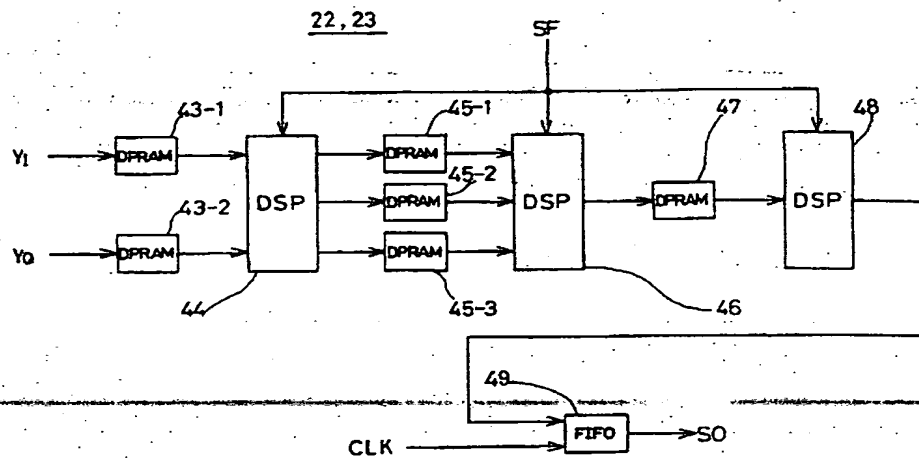
第 4 図



第 5 図



第 7 図



第 8 図

第 1 頁の続き

| | | | |
|--------|-----|-----|---|
| ⑦発 明 者 | 神 尾 | 享 秀 | 東京都小金井市貫井北町 4 丁目 2 番 1 号 郵政省通信総合研究所内 |
| ⑦発 明 者 | 志 村 | 隆 則 | 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内 |
| ⑦発 明 者 | 塚 本 | 信 夫 | 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内 |
| ⑦発 明 者 | 白 井 | 邦 人 | 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内 |

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

